

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-122562

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H04N 5/68
G09G 1/04
H04N 3/16

(21)Application number : 09-277579

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.10.1997

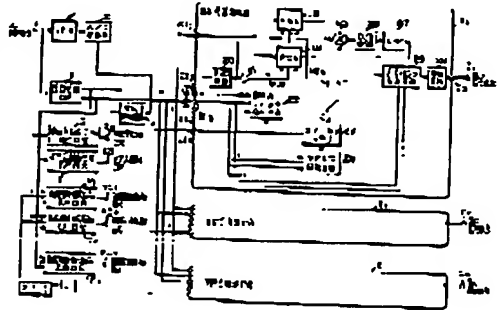
(72)Inventor : FUJIWARA MASANORI

(54) IMAGE CORRECTION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To correct a scanning distortion and an uneven luminance with an inexpensive configuration.

SOLUTION: A write clock generating circuit 22 writes a video signal to memories 18, 19 in a system clock period. A field memory 23 stores waveform data based on horizontal direction expansion processing and a scanning distortion. An address control circuit 24 reads the waveform data in the field memory 23 in the system clock period. A read speed in the horizontal direction is enough to be four times of the write clock period in average and the read timing of the video signal can be adjusted by the system clock period. The video signal from which a scanning distortion is eliminated, is read from the memories 18, 19 and imparted to a multiplier 25. The multiplier 24 corrects the luminance unevenness of the video signal and outputs the result.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-122562

(43) 公開日 平成11年(1999) 4月30日

(51) Int. Cl. ⁶	識別記号	F I	
H 0 4 N 5/68		H 0 4 N 5/68	C
G 0 9 G 1/04		G 0 9 G 1/04	
H 0 4 N 3/16		H 0 4 N 3/16	Z

審査請求 未請求 請求項の数 4 O L (全 10 頁)

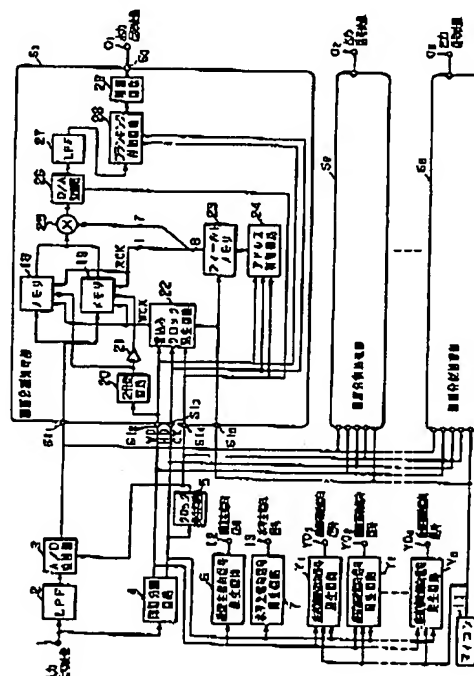
(21) 出願番号	特願平9-277579	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成9年(1997)10月9日	(72) 発明者	藤原 正則 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝マルチメディア技術研究所内
		(74) 代理人	弁理士 伊藤 進

(54) 【発明の名称】 画像補正装置

(57) 【要約】

【課題】 安価な構成で、走査歪及び輝度むらを補正する。

【解決手段】 映像信号は、蓄込みクロック発生回路22によって、システムクロック周期でメモリ18、19に蓄込む。フィールドメモリ23は、水平方向の伸張処理及び走査歪に基づく波形データを記憶している。アドレス制御回路24は、フィールドメモリ23の波形データをシステムクロック周期で読出す。水平方向の読出し速度は、平均的に蓄込みクロック周期の4倍であればよく、映像信号の読出しタイミングをシステムクロック周期で調整可能である。走査歪を除去した映像信号をメモリ18、19から読出した乗算器25に与える。乗算器25は映像信号の輝度むらを補正して出力する。



1

【特許請求の範囲】

【請求項1】 入力された映像信号を所定の書込みクロックに基づいて記憶する第1の記憶手段と、

前記書込みクロックの周波数よりも高い周波数の成分を含むデータであって画面に表示された画像の水平方向の走査歪に基づく波形データを記憶すると共に、前記画面に表示された画像の輝度むらに基づく輝度補正データを記憶する第2の記憶手段と、

前記第2の記憶手段のアドレスを前記書込みクロックと同一周期で順次指定して、前記第2の記憶手段が記憶している波形データに基づくクロックを前記第1の記憶手段の読出しクロックとして出力させると共に、前記第2の記憶手段が記憶している輝度補正データを前記第1の記憶手段から読出した映像信号の輝度利得の情報として出力させるアドレス制御手段と、

前記第1の記憶手段から読出された映像信号に前記輝度利得を付与して出力する輝度利得付与手段とを具備したことを特徴とする画像補正装置。

【請求項2】 前記画面は、複数の受像管の表示画面によって構成したものであって、

前記第1の記憶手段は、前記複数の受像管のうちの1つの受像管による表示画面に表示する分割画像の映像信号を記憶し、

前記波形データは、前記分割画像を前記複数の受像管のうちの1つの受像管による表示画面の全域に表示させるための伸張処理及び水平方向の走査歪に基づく形状であることを特徴とする請求項1に記載の画像補正装置。

【請求項3】 前記画面は、1つの受像管の表示画面によって構成したものであって、

前記波形データは、並列化したデータであり、

前記アドレス制御手段は、前記第2の記憶手段が記憶している波形データをシリアルデータに変換することによって、前記第1の記憶手段の読出しクロックを得ることを特徴とする請求項1に記載の画像補正装置。

【請求項4】 前記波形データは、前記表示画面に配置された複数の調整点における歪を補間することによって求めたものであり、

前記輝度補正データは、前記表示画面に配置された複数の調整点における輝度むらを補間することによって求めたものであることを特徴とする請求項1に記載の画像補正装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マルチディスプレイの表示装置等に好適な画像補正装置に関する。

【0002】

【従来の技術】 近年、複数の電子銃を縦横に並べて一体化した複電子銃式受像管が開発されている。複電子銃式受像管は、通常のテレビジョン受像機に使用されている受像管を縦横に並べ、各受像管のしきりを除去して一体

(2)

特開平11-122562

2

化し、1枚のスクリーン上に映像を表示させるものである。これにより、薄型で且つ完全に平坦な画面を有した映像表示装置を得ることができる。

【0003】しかし、各受像管によって形成される表示画面上の映像を蛍光スクリーン上で正確につなぎ合わせなければならず、各受像管において電子ビームを極めて高精度に偏向しなければならない。

【0004】そこで、本件出願人は先に特願平9-89639号明細書において、“複電子銃式受像管および画像表示装置”を提案している。この提案では、おおまかな偏向を主偏向によって行い、主偏向では除去することができない走査歪みを補助偏向によって補正するようにしている。また、走査歪みを検出する手段を備えており、検出した走査歪み誤差を補助偏向にフィードバックさせることで、常時走査歪みの発生を防止することができるようになっている。

【0005】このような補助偏向手段としては様々な方式が考えられる。例えば、特開平7-212779号公報に開示されているデジタルコンバーゼンス装置を用いると精度良く補正を行うことができる。このデジタルコンバーゼンス装置においては、画面上にM×N点の調整点を配置し、各調整点に対応したコンバーゼンス補正データを記憶したデジタルメモリを備えており、このデジタルメモリから読み出した複数の調整点のデータを用いて、調整点間を補間するための補間データを低域通過フィルタ特性で作成し、このデータに基づくコンバーゼンス補正信号を受像管ネックに取付けられたコンバーゼンスヨークに供給することによって、高精度の補正を行うようになっている。

【0006】このようなデジタルコンバーゼンス装置では、デジタル処理回路部については集積化を行うことができるのでコスト低減を望むことができるが、D/A変換部以降のアナログ回路部及び偏向ヨークについてはコスト低減が難しい。複電子銃式画像表示装置においては、各分割画面毎に水平及び垂直のデジタルコンバーゼンス装置が必要となり、極めて高コストになってしまう。

【0007】ところで、表示装置において、一様な信号レベルの絵柄を映出した場合でも、画面内の中央部と周辺部とで輝度差が生じることがある。この原因としては、走査のリニアリティー（直線性）の悪化や、特にカラー受像管等では電子ビームのランディング不良等が考えられる。

【0008】このような輝度むらを改善するために偏向制御を高精度に行うようにすると、偏向回路のコストアップを招来してしまい、また、技術的に困難である場合もある。通常のテレビジョン受像機においては、コストを低減するために多少の輝度差は許容しているが、複電子銃式画像表示装置においては、各画面内で発生する異なる輝度むらによって画面品位の劣化が目立ってしまう。

50

3

【0009】例えば、物体が各画面をまたいで移動するシーンや画面全体が一様な白色パターンである画像では、輝度むらが特に目立ってしまい、視聴者に画面が分割されていることを意識させてしまう。

【0010】このような問題は、複電子銃式画像表示装置固有のものではなく、複数のプロジェクターを縦横に配列して構成したマルチディスプレイ装置でも同じ問題が発生する。全てのディスプレイ装置において、歪及び輝度むらを十分に改善するためには極めて高コストとなってしまう。

【0011】また、最近では、スクリーンの完全平面化を達成したテレビジョン受像機も開発されているが、薄型化によって歪及び輝度むらの発生が一層問題になってしまう。

【0012】

【発明が解決しようとする課題】このように、従来、画面歪及び輝度むらの補正はコスト高となってしまう、特にマルチディスプレイにおいては、各画面の歪み及び輝度むらによって各画面同士の境界が目立って画面品位が劣化してしまうが、歪及び輝度むらを補正しようするとコスト高は著しく、また、補正が困難であることもあった。

【0013】本発明は、低コストで、歪み及び輝度むらの発生を防止して画面品位を向上させることができる画像補正装置を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明に係る画像補正装置は、入力された映像信号を所定の書込みクロックに基づいて記憶する第1の記憶手段と、前記書込みクロックの周波数よりも高い周波数の成分を含むデータであって画面に表示された画像の水平方向の走査歪に基づく波形データを記憶すると共に、前記画面に表示された画像の輝度むらに基づく輝度補正データを記憶する第2の記憶手段と、前記第2の記憶手段のアドレスを前記書込みクロックと同一周期で順次指定して、前記第2の記憶手段が記憶している波形データに基づくクロックを前記第1の記憶手段の読出しクロックとして出力させると共に、前記第2の記憶手段が記憶している輝度補正データを前記第1の記憶手段から読出した映像信号の輝度利得の情報として出力させるアドレス制御手段と、前記第1の記憶手段から読出された映像信号に前記輝度利得を付与して出力する輝度利得付与手段とを具備したものである。

【0015】本発明において、入力された映像信号は書込みクロックに基づいて第1の記憶手段に記憶させる。第2の記憶手段は、画像の水平方向の走査歪に基づく波形データを記憶しており、アドレス制御手段にアドレスが指定されて、波形データに基づくクロックを第1の記憶手段の読出しクロックとして出力する。波形データは書込みクロックよりも高い周波数成分を有しており、第1の記憶手段からの映像信号の読出しタイミングを、水

(3)

特開平11-122562

4

平方方向の走査歪に応じて制御することができる。平方方向の歪が除去された映像信号は輝度利得付与手段に与えて、輝度利得を付与する。これにより、輝度むらを補正した映像信号を出力する。

【0016】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について詳細に説明する。図1は本発明に係る画像補正装置の一実施の形態を示すブロック図である。本実施の形態は白黒映像を映出する複電子銃式画像表示装置に適用した例である。図2は複電子銃式受像管を示す説明図である。

10

【0017】図2において、複電子銃式受像管101は、縦横に並べた複数の受像管102乃至109によって1枚構造のスクリーン110に電子ビームをランディングさせる構造となっている。各受像管102乃至109は側面のしきりを除去し、スクリーン110側は一体的に構成する。各受像管102乃至109の表示画面を蛍光体が塗布されたスクリーン110上に縦横に配置して1つの表示画面（以下、全画面という）を形成する。各受像管102乃至109の走査が精度良く行われれば、受像管102乃至109が映出した画像はスクリーン110上で1枚の画像として見る

20

ことができる。

【0018】各受像管102乃至109のカソード端子111には、1枚の画像を各表示画面の全画面上の位置に応じて分割した分割画像の映像信号を供給する。管内では、カソード電流に比例した電子ビームがスクリーン110に向けて放出されるようになっている。

30

【0019】各受像管102乃至109は各ネック部に垂直偏向ヨーク112、水平偏向ヨーク113及び垂直補助偏向ヨーク114を有している。垂直偏向ヨーク112には、垂直走査周期の鋸歯状波である垂直主偏向信号を供給する。水平偏向ヨーク113には水平走査周期の鋸歯状波である水平主偏向信号を供給する。これらの水平及び垂直偏向信号によって、カソードからの電子ビームを偏向して、スクリーン110上に映像を映出するようになっている。また、垂直補助偏向ヨーク111には垂直方向の歪みを補正するための垂直補助偏向信号を供給するようになっている。

40

【0020】水平及び垂直主偏向信号の精度が悪い場合には、映し出された映像に歪みが生じ、上述したように、画像の境界が目立ってしまう。そこで、本実施の形態においては、垂直補助偏向ヨーク111によって垂直方向の走査歪みを補正すると共に、水平方向の歪及び輝度むらについては、図1の後述する画面分割処理部によって補正を行うようになっている。

【0021】図1において、入力端子1には入力映像信号を与える。この入力映像信号はローパスフィルタ（以下、LPFという）2及び同期分離回路4に供給する。LPF2は入力映像信号を帯域制限してA/D変換器3に与える。A/D変換器3は入力された映像信号を後述

50

5

するクロック発生回路5からのシステムクロックを用いてサンプリングすることによりデジタル信号に変換して、画面分割処理部S1乃至S8の各入力端子S11に出力する。

【0022】同期分離回路4は入力映像信号から水平同期信号(HD)及び垂直同期信号(VD)を分離するようになっている。同期分離回路4からの水平、垂直同期信号は偏向系を構成する垂直主偏向信号発生回路6、水平主偏向信号発生回路7、垂直補助偏向信号発生回路Y1乃至Y8に供給するようになっている。

【0023】なお、垂直補助偏向信号発生回路Y1乃至Y8及び後述する画面分割処理部S1乃至S8は、複電子銃式受像管の数だけ設ける。図1は図2の8本の受像管に対応させて、8つの垂直補助偏向信号発生回路及び画面分割処理部を設けた例である。

【0024】垂直主偏向信号発生回路6は、垂直同期信号に基づいて垂直主偏向信号を発生し出力端子12を介して出力する。また、水平主偏向信号発生回路7は、水平同期信号に基づいて水平主偏向信号を発生して出力端子13を介して出力する。これらの垂直及び水平主偏向信号は、夫々各受像管102乃至109の垂直主偏向ヨーク112又は水平主偏向ヨーク113に与えるようになっている。これにより、各受像管102乃至109は1画面の走査を同時に開始して同時に終了するようになっている。

【0025】マイコン11は、垂直方向の歪を除去するための補正データを発生して垂直補助偏向信号発生回路Y1乃至Y8に供給するようになっている。垂直補助偏向信号発生回路Y1乃至Y8は、夫々、受像管102乃至109の垂直偏向を補正するためのものであり、同期分離回路4からの水平及び垂直同期信号とマイコン11からの補正データとに基づいて、垂直補助偏向信号を発生して出力端子Y01乃至Y08に出力する。出力端子Y01乃至Y08からの垂直補助偏向信号を夫々受像管102乃至109の垂直補助偏向ヨーク114に供給するようになっている。

【0026】垂直補助偏向信号発生回路Y1乃至Y8としては様々な方式が考えられるが、上述した特開平7-212779号公報にて開示されているデジタルコンバーゼンス装置を用いてもよい。この場合には、垂直補助偏向信号発生回路Y1乃至Y8は、図示しないデジタルメモリを有し、画面上に設定したM×N点の調整点に対応した歪み補正データをデジタルメモリに記憶する。また、補助偏向信号発生回路Y1乃至Y8は、調整点間を補間するための補間データを低域通過フィルタ特性で作成する内挿演算手段を有し、デジタルメモリから読み出した複数の調整点のデータを補間して補間データを作成する。更に、垂直補助偏向信号発生回路Y1乃至Y8は、内挿演算手段の出力をアナログ信号に変換して垂直補助偏向信号として垂直補助偏向ヨークに供給するデジタル/アナログ変換器を有する。

(4)

特開平11-122562

6

【0027】調整点数等を適宜設定することにより、各画面毎の垂直方向の走査歪については、垂直補助偏向信号発生回路Y1乃至Y8によって確実に除去することが可能である。

【0028】一方、同期分離回路4からの水平同期信号(HD)及び垂直同期信号(VD)は、画面分割処理部S1乃至S8の端子S13、S12にも供給するようになっている。また、同期分離回路4からの水平同期信号はクロック発生回路5にも供給するようになっている。クロック発生回路5は水平同期信号からシステムクロック(CK)を発生してA/D変換器3及び画面分割処理部S1乃至S8の端子S14に供給するようになっている。

【0029】画面分割処理部S1乃至S8は同一構成である。そこで、以下、画面分割処理部S1についてのみ説明する。画面分割処理部S1はメモリ18、19を有しており、メモリ18、19には入力端子S11からのデジタル映像信号を供給するようになっている。入力端子S12からの垂直同期信号(VD)は2分周回路20及び書込みクロック発生回路22に供給する。2分周回路20は、垂直同期信号を2分周してメモリ18及びインバータ21に与える。インバータ21は2分周回路20の出力を反転させてメモリ19に与える。メモリ18、19は、2分周回路20及びインバータ21の出力によって垂直周期で書込み及び読出しが切換えられ、一方の書込み時には他方から読出しを行い、他方の書込み時には一方から読出しを行うようになっている。

【0030】メモリ18、19の書込みは書込みクロック発生回路22からの書込みクロックWCKに基づいて行うようになっている。書込みクロック発生回路22は、端子S12乃至S15からの垂直同期信号、水平同期信号、システムクロック及びマイコン11の出力に基づいてシステムクロック周期の書込みクロックWCKを発生する。

【0031】マイコン11は、各受像管102乃至109による画面の全画面上の位置を示す情報を出力する。これにより、マイコン11は、受像管102乃至109によって表示する分割画像の切出し位置を指定して、各画面分割処理部S1乃至S8のメモリ18、19に対応する分割画像の映像信号のみを記憶させるようになっている。

【0032】例えば、マイコン11は、垂直方向については、切出し開始ライン番号及び終了ライン番号を示す情報を出力し、水平方向については、水平同期の基準位置からみた切出し開始ドット番号及び終了ドット番号を示す情報を出力する。

【0033】画面分割処理部S1の書込みクロック発生回路22は、マイコン11からの情報に基づいて、水平及び垂直同期信号を用いて、受像管102による画面の全画面上の位置に対応したタイミングで映像信号を書込むための書込みクロックWCKを発生するようになっている。

50 なお、他の画面分割処理部S2乃至S8の書込みクロック

7

ク発生回路22においても、夫々対応する受像管による面の全画面上の位置に対応したタイミングで書き込みクロックWCKを発生することは明らかである。

【0034】メモリ18、19からの読出しはフィールドメモリ23からの読出しクロックRCKによって制御するようになっている。本実施の形態においては、フィールドメモリ23はメモリ18、19に記憶されている映像信号を1垂直走査期間で読出すためのクロック波形を記憶するようになっている。アドレス制御回路24は、1垂直走査期間でフィールドメモリ23のクロック波形を読出すためのアドレスを指定する読出しアドレスを発生する。

【0035】各受像管102乃至109においては、分割画像を各表示画面の全域に表示させる必要がある。つまり、メモリ18、19には全画像のうち、分割画像に対応した水平方向に1/4水平走査周期で垂直方向に1/2垂直走査周期の映像信号のみを記憶させているが、読出し時には、記憶させた映像信号を水平方向に1水平走査周期で垂直方向に1垂直走査周期の時間で読出す必要がある。従って、例えば、各分割画像の映像信号を水平方向には4倍の時間伸張処理を行って出力し、垂直方向には1ラインおきに出力する必要がある。

【0036】いま、メモリ18、19に書込んだ分割画像の水平方向画素数をmドットとし、ライン数をnラインとするものとする。この場合には、メモリ18、19の読出しクロックRCKとしては、1水平走査期間内に書き込みクロックWCK（システムクロック）の周期の平均的には4倍の周期で発生するクロックパルスがm個存在し、このクロックパルス群が1ラインおきに現れるクロックを用いばよい。

【0037】ところで、従来においても、メモリに対する書き込みクロックと読出しクロックとの周期を変えることによる画面分割処理は行われている。即ち、水平同期信号、垂直同期信号及びシステムクロックに基づいて、カウンタがシステムクロックのn倍の周期の読出しクロックを発生するのである。これにより、水平方向にn倍の伸張処理が可能である。この場合には、読出しクロックはシステムクロックのn倍の周期を有し、デューティ比が50%の信号である。この読出しクロックを用いることによって、元の画像に対して水平方向に1様な伸張を行った画像を得ることができる。

【0038】これに対して、本実施の形態においては、上述したように、フィールドメモリ23は、クロック波形自体を記憶するようになっている。アドレス制御回路24には、端子S12乃至S15からの垂直同期信号、水平同期信号、システムクロック及びマイコン11からの情報を与える。アドレス制御回路24は、システムクロック（書き込みクロックWCK）と同一周波数で読出しアドレスを増加させる。

【0039】フィールドメモリ23には、波形データを記憶させているので、アドレス制御回路24によってシステ

(5)

特開平11-122562

8

ムクロックと同一周波数で波形データのアドレスが順次指定されることになり、書き込みクロックWCKと同一周波数の読出し制御が可能である。つまり、波形データとしては、システムクロック周波数で値が変化するデータを用いることができる。従って、読出しクロックRCKを書込みクロックWCKの4倍の均等な周期以外のタイミングで発生させることができる。なお、読出しクロックRCKは、1水平走査期間内に書き込みクロック数と同数だけ発生させる必要がある。

【0040】波形データの設定によって、フィールドメモリ23からシステムクロック周期の所望のタイミングでクロックRCKを発生させることができる。従って、波形データとして、水平方向の伸張処理及び走査歪に依じたデータを用いて、このデータに基づくタイミングで映像信号を読出すことにより、水平方向の伸張処理及び歪を補正を行った映像信号を得ることができる。

【0041】フィールドメモリ23はマイコン11からの補正データに基づく波形データを記憶するようになっている。マイコン11は、水平方向の走査歪をうち消すための補正データを出力する。例えば、マイコン11は、画面上に複数の調整点を定め、各調整点の水平方向の歪を除去するためのデータを内挿演算して全画素の走査歪を除去するための補正データを出力する。

【0042】また、マイコン11は、水平方向の各画素の輝度むらを補正するための輝度補正データをフィールドメモリ23に与えるようになっている。フィールドメモリ23は、マイコン11からの輝度補正データに基づいて、各画素に設定する輝度利得を乗算器25に出力するようになっている。例えば、フィールドメモリ23を8ビット構成とし、1ビットを読出しクロックRCKのための波形データに割り当て、7ビットを各画素の輝度利得とする。なお、7ビットによって、16進数表記で00~7Fまでの数値を表現することができる。

【0043】輝度利得については、システムクロック周期で変化させることができ、画面の所望の位置における輝度利得を自由に变化させることができる。

【0044】メモリ18、19から読出し映像信号は乗算器25に供給するようになっている。乗算器25は、入力された映像信号と輝度利得とを乗算することにより、各画素毎に輝度を補正してD/A変換器26に出力する。なお、乗算器25としては、7ビットによって表現可能な数値範囲内で1~1/2又は1~3/4程度の利得変化を与えることができるように構成すればよい。

【0045】D/A変換器26は、端子S13を介してシステムクロックが与えられており、入力されたデジタル映像信号をアナログ信号に戻してLPF27に出力する。LPF27は、入力された映像信号の高調波成分を除去してブランキング付加回路28に出力するようになっている。

【0046】ブランキング付加回路28には端子S12、

50

9

S13を介して垂直及び水平同期信号が与えられており、ブランキング付加回路28は入力された映像信号にブランキングを付加して増幅回路29に出力する。増幅回路29は、入力された映像信号を増幅し、端子SOから出力端子O1に出力するようになっている。出力端子O1からの映像信号を受像管102のカソード端子111に供給するようになっている。

【0047】同様に、画面分割処理部S2乃至S8は、夫々分割画像の水平方向の歪及び輝度むらを補正した映像信号を出力端子O2乃至O8を介して受像管103乃至109のカソード端子111に供給するようになっている。

【0048】次に、このように構成された実施の形態の動作について図3乃至図5を参照して説明する。図3は実施の形態の動作を説明するためのフローチャートであり、図3(a)は入力映像信号を示し、図3(b)は書き込みクロックWCKを示し、図3(c)は従来の画面分割処理において発生する読出しクロックを示し、図3(d)は図3(c)の読出しクロックを用いた場合の出力映像信号を示し、図3(e)はフィールドメモリ23からの読出しクロックRCKを示し、図3(f)はメモリ18、19からの映像信号を示し、図3(g)は輝度利得を示している。また、図4は調整点を示す説明図であり、図5はビームインデックスを説明するための説明図である。

【0049】先ず、歪及び輝度むらの調整作業について説明する。マイコン11は、初期状態として、歪及び輝度むらの補正を行わないためのデータを出力する。即ち、フィールドメモリ23は、水平方向に単純に4倍伸張するための波形データを記憶すると共に、輝度利得を全域で1にするデータを記憶する。

【0050】入力端子1を介して入力された映像信号は、LPF2によって帯域制限し、A/D変換器3によってデジタル信号に変換して画面分割処理部S1乃至S8の端子S11に供給する。画面分割処理部S1乃至S8は、各分割画像の画面位置に対応するタイミングで入力された映像信号をメモリ18、19に書き込む。フィールドメモリ23からの読出しクロックRCKは、書き込みクロックWCKの4倍の周期で均等に発生しており、メモリ18、19からは水平方向には4倍に伸張された映像信号が出力される。また、読出しクロックRCKは例えば1ラインおきに発生しており、メモリ18、19から読出される映像信号は垂直方向には2倍の時間で読出される。

【0051】メモリ18、19からの映像信号は、乗算器25を介してD/A変換器26に与えてアナログ信号に戻し、LPF27を介してブランキング付加回路28に供給する。ブランキング付加回路28は入力された分割画像の映像信号にブランキングを付加する。ブランキング付加回路28からの映像信号は増幅回路29によって増幅する。各画面分割処理部S1乃至S8からの映像信号は夫々出力端子O1乃至O8を介して受像管102乃至109のカソード端

(6)

特開平11-122562

10

子111に供給する。こうして、スクリーン110の全画面上には、入力映像信号に基づく1枚の画像が映出される。

【0052】この状態では、歪及び輝度むらの補正を行っておらず、映出される画像は歪及び輝度むらを有している。次に、調整作業を開始する。調整作業において、各画素毎にクロックの位置を前後させることによって歪みの補正又は輝度ゲインの決定を行うことは、処理能力上、略々不可能である。

【0053】そこで、画面内に複数の調整点を設定し、設定した調整点において歪み補正及び輝度補正を行う。図4は黒丸によってこの調整点を示している。画面51上には水平方向6点、垂直方向5点の計30点の調整点を設定している。歪み補正は、クロスハッチ又はドット等の絵柄を画面に表示し、画面上の物理的な調整点の位置と本来調整点に表示されるべき画像とを一致させる作業を行うことで実施することができる。各調整点毎にこのような作業を行うことで、初期設定時の状態に対して各調整点毎に絵柄を何ステップ移動させたかを求める。そして、調整点間の絵柄移動ステップ数を滑らかに変化させるように、各調整点の絵柄移動ステップ数に対する内挿演算を行う。これにより、全画素の絵柄移動ステップ量を求める。マイコン11は、この内挿演算を行うことによって、調整点の歪み補正作業によって全画面の歪みを補正することを可能にしている。

【0054】また、輝度補正を行う場合には、絵柄として白ラスタを表示させる。輝度補正時にも、各画素毎に調整を行うことは不可能であり、歪み補正で設定した調整点において輝度補正を行う。この場合にも、マイコン11による内挿演算によって、各調整点間の補正を滑らかにして全画素の輝度利得を求めることを可能にしている。

【0055】マイコン11は、内挿演算によって求めた歪の補正データ及び輝度補正データを画面分割処理部S1乃至S8のフィールドメモリ23に供給する。これにより、フィールドメモリ23は、歪の補正データに基づく波形データを記憶すると共に、輝度補正データを各画素に設定する利得を示す情報として記憶する。

【0056】図3(a)に示すように、入力映像信号は、A/D変換器3によってシステムクロック周期でサンプリングしてデジタル信号に変換する。このデジタル映像信号は、書き込みクロック発生回路22からの書き込みクロックWCK(図3(b))によってメモリ18、19に書き込む。なお、図3のフローチャート中に付した符号は、デジタルデータを区別するためのものであり、意味を有するものではない。

【0057】画面分割処理部S1乃至S8の各メモリ18、19には、夫々、図2の受像管102乃至109による表示画面の位置に対応した分割画像の映像信号を記憶させる。メモリ18、19への書き込み時には、水平方向には1水

11

平走査期間の1/4の時間で書き込みを行い、垂直方向には1垂直走査期間の1/2の時間で書き込みを行う。

【0058】アドレス制御回路24は、システムクロック周期でフィールドメモリ23への読出しアドレスを変化させながら、1垂直周期でフィールドメモリ23のアドレス指定を繰返す。フィールドメモリ23は、水平方向にはメモリ18、19に記憶されている映像信号を1水平走査期間で読出すと共に歪を補正するための波形データを記憶している。フィールドメモリ23はアドレス制御回路24にアドレスが指定されて、読出しクロックRCK及び輝度利得を出力する。

【0059】仮に、メモリ18、19から読出しを行うための読出しクロックを従来から採用されているカウンタによって発生するものとする、読出しクロックは図3

(c)に示すものとなる。この読出しクロックを用いると、出力映像信号は図3(d)に示すものとなり、書き込み時の4倍の周期の映像信号を得ることができる。この映像信号を用いることによって、分割画像を水平方向には1水平走査期間で全画面の1/4の領域に映出することが可能となる。しかし、この場合には、歪の補正は行

われない。

【0060】これに対し、本実施の形態においては、フィールドメモリ23は、水平方向に伸張し垂直方向に間引きを行うと共に歪を補正するための波形データを記憶している。アドレス制御回路24がフィールドメモリ23に記憶されている波形データをシステムクロック周期で順次読出して、読出しクロックRCKとしてメモリ18、19に供給する。

【0061】例えば、読出しクロックRCKは、図3(e)に示すものとなる。図3(e)に示すように、読出しクロックRCKは、均等に4システムクロック周期ではなく、平均的に4システムクロック周期となる信号である。この読出しクロックRCKを用いてメモリ18、19から読出しを行うことにより、図3(f)に示すように、映像データ1の読出しに3システムクロック期間を要し、映像データ2の読出しに5システムクロック期間を要し、映像データ3の読出しに4システムクロック期間を要する。

【0062】フィールドメモリ23の波形データは、マイコン11が調整作業による内挿演算によって求めたものであり、メモリ18、19から読出された映像信号は、システムクロック周期で読出しが制御されて、水平方向の歪が補正されたものとなっている。

【0063】メモリ18、19から読出した映像信号は乗算器25に与える。乗算器25にはフィールドメモリ23から映像信号に対応した輝度利得(図3(g))も与えられており、乗算器25は、映像信号に輝度利得を付与して出力する。こうして、乗算器25によって各画素の輝度利得を調整する。乗算器25からの映像信号は、D/A変換器26によってアナログ信号に戻した後、LPF27によって帯

(7)

特開平11-122562

12

域制限してブランキング付加回路28に与える。

【0064】ブランキング付加回路28は映像信号にブランキングを付加し、増幅回路29は映像信号を増幅する。画面分割処理部S1乃至S8の増幅回路29から出力された映像信号は各出力端子S0を介して出力端子O1乃至O8に与える。出力端子O1乃至O8からの映像信号を受像管102乃至109のカソード端子111に供給する。

【0065】一方、垂直方向については、マイコン11からの補正データに基づいて垂直補助偏向信号発生回路Y1乃至Y8が垂直補助偏向信号を発生しており、この垂直補助偏向信号を垂直補助偏向ヨーク114に供給することによって、歪の補正を行っている。こうして、スクリーン110の全画面上には、水平歪、垂直歪及び輝度むらが補正された分割画像による画像を映出することができる。

【0066】このように、本実施の形態においては、フィールドメモリ23に水平方向の伸張処理を行うと共に水平方向の歪を補正するための波形データを記憶させ、この波形データをシステムクロック周期で読出すことによってメモリ18、19の読出しクロックRCKを生成しており、水平方向には映像信号の読出しをシステムクロック周期で制御することができ、安価な構成によって歪の補正を可能にしている。また、フィールドメモリ23には輝度利得の情報も記憶させており、安価な構成によって、映像信号の輝度をシステムクロック周期で制御して輝度むらを補正することができる。

【0067】ところで、上述したように、調整作業時には、画面上の物理的な調整点の位置と本来調整点に表示されるべき画像とを一致させる処理を行うが、この方法としては肉眼で確認しながら行う方法だけでなく、ビームインデックス技術を用いて自動化する方法もある。図5はこのビームインデックス技術を説明するためのものである。

【0068】ビームインデックス法は、スクリーン61の裏側において、水平方向に所定の間隔でインデックス蛍光体62を塗布する。電子ビームの走査が行われると、蛍光体62は発光する。この光を光電変換することによって、蛍光体を塗布した間隔でレベルが高くなる電気信号63を得ることができる。水平同期信号の基準位置と電気信号63の各ピーク位置との時間差を求めることで、水平方向の走査歪みを求めることができる。

【0069】ビームインデックス法によって求めた水平走査歪みの情報をマイコン11に与えて、歪に応じた補正データを作成することで歪み補正を自動化することができる。

【0070】なお、歪み検出の方法は、ビームインデックス法に限定されるものではなく、例えば、スクリーンをカメラで撮像することによっても歪の検出が可能であることは明らかである。

【0071】図6は本発明の他の実施の形態を示すプロ

50

13

ック図である。図6において図1と同一の構成要素には同一符号を付して説明を省略する。本発明は複電子銃式画像表示装置以外の映像機器にも適用することができる。本実施の形態は通常のテレビジョン受像機に適用した例である。

【0072】1つの受像管のみを有したテレビジョン受像機に適用したものである。画面分割処理は行わない。従って、偏向系においては、垂直主偏向信号発生回路6及び水平主偏向信号発生回路7の外に、1つの垂直補助偏向信号発生回路Yのみを有している。垂直補助偏向信号発生回路Yは、図1の垂直補助偏向信号発生回路Y1乃至Y8と同一構成であり、マイコン11からの補正データに基づいて垂直補助偏向信号を発生して、出力端子Y0から出力するようになっている。

【0073】本実施の形態は図1の画面分割処理部S1乃至S8と略々同様の構成の画像処理部70を有している。画像分割処理部70は、4てい倍回路71及びP/S変換回路72を付加した点が画面分割処理部S1乃至S8と異なる。

【0074】複電子銃式画像表示装置においては、水平方向に画面を分割するので、入力された映像信号を水平方向に分割数に応じて伸長する必要があった。例えば、水平方向に4分割した場合には、映像信号を水平方向に4倍に伸張するために、平均的にはシステムクロックに対して4倍の周期のクロックを用いてメモリからの読出しを行った。これによって、図1の実施の形態では、読出しタイミングをシステムクロック周期で前後させることを可能にして歪み補正を行っていた。

【0075】これに対し、通常のテレビジョン受像機においては水平方向の伸張処理は不要である。そこで、本実施の形態においては、システムクロックよりも高い周波数のクロックを発生させ、このクロックの周期で読出しクロックを発生させるようになっている。

【0076】即ち、本実施の形態においては、フィールドメモリ23からの出力はP/S変換回路72に与えるようになっている。フィールドメモリ23は、4ビットに並列化された波形データを記憶している。即ち、波形データは、歪をシステムクロックの1/4の周期で補正するための情報を含んでいる。また、フィールドメモリ23は、4ビットの輝度利得の情報も保持している。なお、これらの波形データ及び輝度利得の情報はマイコン11が歪及び輝度むらの調整作業によって取得したデータに基づくものである。

【0077】アドレス制御回路24は、システムクロック周期でアドレスを指定して、フィールドメモリ23に記憶されている4ビットの並列データを順次出力させると共に、4ビットの輝度利得を出力させるようになっている。

【0078】また、クロック発生回路5からのシステムクロック(CK)は4てい倍回路71にも与える。4てい

(8)

特開平11-122562

14

倍回路71は、システムクロックを4てい倍してP/S変換回路72に出力する。P/S変換回路72にはシステムクロックも与えており、P/S変換回路72は、フィールドメモリ23からの4ビットの並列データをシリアルデータに変換して、1ビットの読出しクロックRCKとしてメモリ18、19に与えると共に、このクロックをD/A変換器26にも与えるようになっている。

【0079】次に、このように構成された実施の形態の動作について説明する。

【0080】入力端子1を介して入力された映像信号は、LPF2によって帯域制限した後、A/D変換器3によってデジタル信号に変換してメモリ18、19に供給する。一方、入力映像信号は同期分離回路4にも与え、同期分離回路4は、入力映像信号から水平、垂直同期信号を分離して、偏向系を構成する垂直主偏向信号発生回路6、水平主偏向信号発生回路7及び垂直補助偏向信号発生回路Yに供給すると共に、アドレス制御回路24及びブランキング付加回路28にも供給する。また、同期分離回路4は、水平同期信号をクロック発生回路5に与え、垂直同期信号を書込みクロック発生回路22に与える。

【0081】偏向系の動作は図1の実施の形態と同様である。クロック発生回路5は、システムクロックを発生して、書込みクロック発生回路22、A/D変換器3、4てい倍回路71、P/S変換回路72、アドレス制御回路24に出力する。書込みクロック発生回路22は、システムクロック周波数の書込みクロックWCKを発生して、メモリ18、19の書込みを制御する。こうして、システムクロックを用いてサンプリングされた映像信号は順次メモリ18、19に書込まれる。

【0082】一方、フィールドメモリ23には4ビットに並列化された波形データを記憶している。この波形データは、システムクロックによるサンプリング間隔の4倍の分解能を有している。アドレス制御回路24は、フィールドメモリ23の読出しアドレスをシステムクロック周期で変化させて、並列4ビットの波形データを順次出力する。フィールドメモリ23からの波形データはP/S変換回路4に与える。また、フィールドメモリ23は4ビットの輝度利得を読出して乗算器25に与える。

【0083】4てい倍回路71は、システムクロックを4てい倍してP/S変換回路72に与えている。P/S変換回路72は、フィールドメモリ23からの波形データをシリアルデータに戻すことにより、システムクロック周波数の4倍の周波数成分を有する1ビットの読出しクロックをメモリ18、19に出力する。

【0084】即ち、メモリ18、19に格納されている映像信号の読出しタイミングは、波形データに基づいて、システムクロックの1/4の周期で変更可能である。こうして、波形データに基づいて水平方向の歪を補正した映像信号をメモリ18、19から読出して乗算器25に与える。

【0085】乗算器25は入力された映像信号と輝度利得

10

20

30

40

50

15

とを乗算することによって輝度むらを補正する。水平方向の歪及び輝度むらが補正された映像信号はD/A変換器26に与え、D/A変換器26はシステムクロックの4倍の周波数のクロックを用いてアナログ信号に戻す。

【0086】他の作用は図1の実施の形態と同様である。なお、歪及び輝度むらの調整作業は図1の実施の形態と同様である。

【0087】とのように、本実施の形態においても、歪に応じて映像信号の読出しタイミングを変えることによって、歪の補正が可能であり、安価な構成で、歪及び輝度むらを改善することができる。

【0088】なお、フィールドメモリ23が記憶する波形データの並列化ビット数及びてい倍回路のてい倍数は、4に限定されるものでないことは明らかである。

【0089】

【発明の効果】以上説明したように本発明によれば、低*

(9)

特開平11-122562

16

*コストで、歪み及び輝度むらの発生を防止して画面品位を向上させることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係る画像補正装置の一実施の形態を示すブロック図。

【図2】複電子銃式受像管を示す説明図。

【図3】実施の形態の動作を説明するためのフローチャート。

【図4】実施の形態の動作を説明するための説明図。

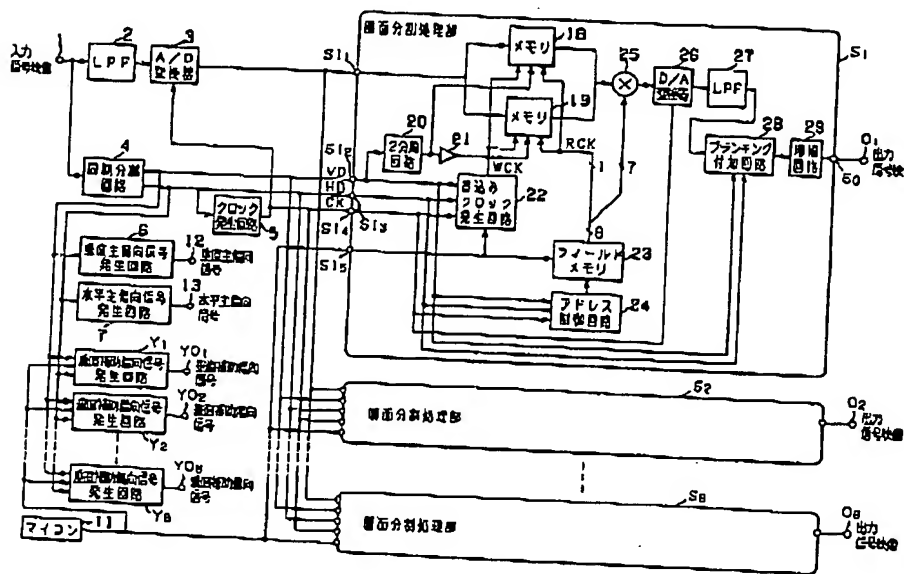
【図5】実施の形態の動作を説明するための説明図。

【図6】本発明の他の実施の形態を示すブロック図。

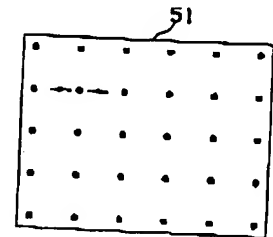
【符号の説明】

S1乃至S8…画面分割処理部、5…クロック発生回路、11…マイコン、18、19…メモリ、22…書き込みクロック発生回路、23…フィールドメモリ、24…アドレス制御回路、25…乗算器

【図1】

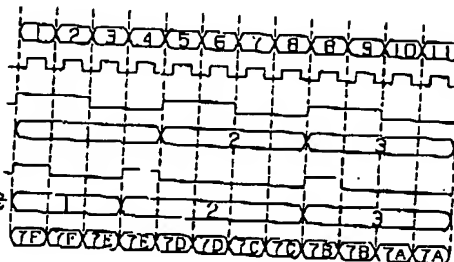


【図4】

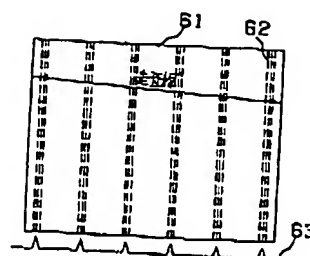


【図3】

- (a) 入力映像信号
- (b) 書き込みクロックWCK
- (c) 読出しクロック
- (d) 出力映像信号
- (e) 読出しクロックRCK
- (f) メモリ18、19からの映像信号
- (g) 輝度利得



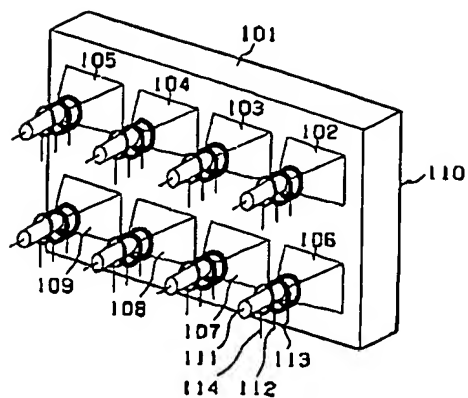
【図5】



(10)

特開平 1 1 - 1 2 2 5 6 2

【圖 2】



【图6】

